

PATENT ABSTRACTS OF JAPAN

Ser. 10/511,720

(11) Publication number : 08-242151
 (43) Date of publication of application : 17.09.1996

(51) Int.Cl. H03K 4/02
 H03K 4/06
 H04B 3/06

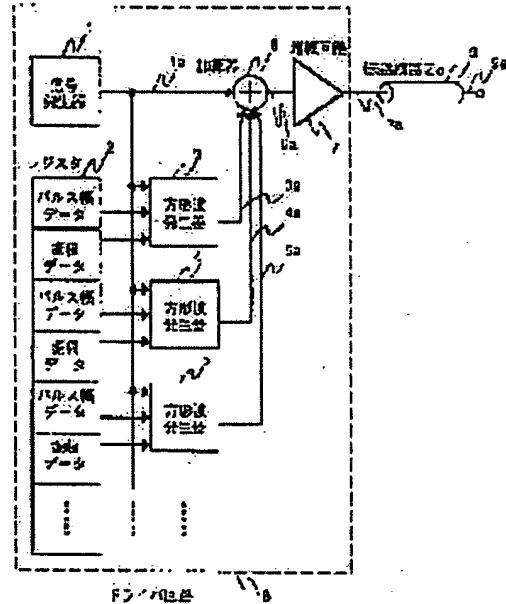
(21) Application number : 07-044403 (71) Applicant : HITACHI LTD
 (22) Date of filing : 03.03.1995 (72) Inventor : NAKAJO TOKUO
 HAYASHI YOSHIHIKO

(54) DRIVER CIRCUIT WITH MEANS FOR COMPENSATING TRANSMISSION LINE LOSS

(57) Abstract:

PURPOSE: To compensate optional transmission line loss by adding a square wave and a triangular wave to an original wave.

CONSTITUTION: This circuit is provided with a signal generator 1, a register 2 storing square pulse width data and oscillation data, square wave generators 3 to 5 generating square waves in accordance with pulse width data and oscillation data stored in the register 2, an adder 6 adding an output 1a from the signal generator and outputs 3a to 5a from the respective square wave generators 3 to 5, and an amplifier circuit 7 amplifying an output 6a from the adder 6. Thus the circuit adds a square wave pulse to a signal waveform so as to compensate the transmission circuit loss.



LEGAL STATUS

[Date of request for examination] 23.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3509258

[Date of registration] 09.01.2004

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-242151

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. 識別記号 廣内整理番号 F I 標示箇所
 H 0 3 K 4/02 H 0 3 K 4/02 C
 4/06 4/06 Z
 H 0 4 B 3/06 H 0 4 B 3/06 A

審査請求 未請求 請求項の数12 OL (全 15 頁)

(21)出願番号	特願平7-44403	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)3月3日	(72)発明者	中條 徳男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
		(72)発明者	林 良彦 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
		(74)代理人	弁理士 富田 和子

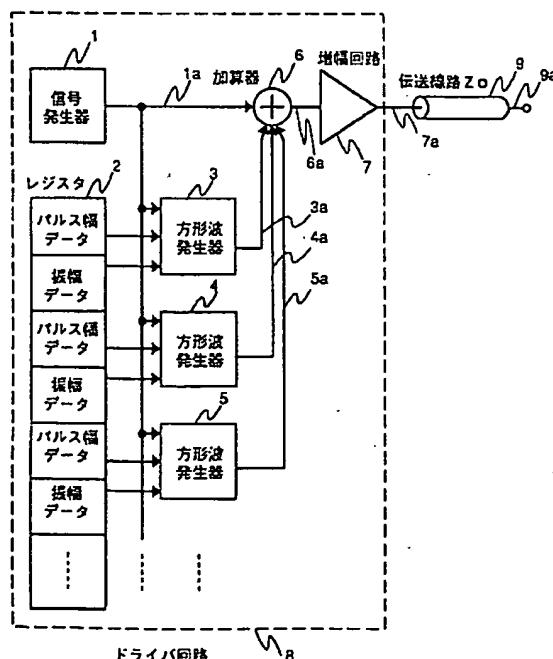
(54) 【発明の名称】 伝送線路損失の補償手段を有するドライバ回路

(57) 【要約】

【目的】方形波または三角波を元の波形に加算することにより、任意の伝送線路に対して損失の補償を行なうことが可能なドライバ回路を提供する。

【構成】信号発生器1と、方形波のパルス幅データ、振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ、振幅データに従って方形波を生成する方形波発生器3、方形波発生器4および方形波発生器5と、信号発生器1の出力1aと方形波発生器3の出力3aと方形波発生器4の出力4aと方形波発生器5の出力5aとを加算する加算器6と、加算器6の出力6aを增幅する增幅回路7とを有し、方形波パルスを信号波形に加算することにより伝送線路の損失を補償する。

1



【特許請求の範囲】

【請求項1】 伝送すべき信号を増幅して伝送線路へ出力するドライバ回路において、所定の波形形状を備えるパルスのパルス幅と振幅とを記憶する記憶手段と、前記記憶手段に記憶されているパルス幅と振幅とを持つパルスを、前記伝送すべき信号の立ち上り時及び立ち下り時に発生する、1個以上のパルス発生手段と、前記伝送すべき信号と、前記1個以上のパルス波発生器から出力されるパルスとを加算する加算手段と、前記加算器の出力を増幅する増幅手段とを有することを特徴とするドライバ回路。

【請求項2】 伝送線路を通して伝送すべき信号を発生する信号発生器と、前記伝送すべき信号の波形のうち、前記伝送線路での損失により減衰する部分に対応して設定された、方形波パルスのパルス幅と振幅とを記憶するレジスタと、前記レジスタに記憶されたパルス幅と振幅とを持つ方形波パルスを、前記信号発生器の出力波形の立上り時及び立下り時の少なくとも一方で発生する、1個以上の方波発生器と、前記信号発生器の出力波形と前記1個以上の方波発生器の出力波形とを加算する加算器と、前記加算器の出力を増幅して、前記伝送線路へ出力する増幅回路とを有することを特徴とするドライバ回路。

【請求項3】 請求項2において、前記信号発生器の出力に前記方形波パルスを加えない状態で得られる前記増幅回路からの出力波形と、当該出力波形が前記伝送線路を通過した後の波形とを取得する波形取得手段と、前記波形取得手段で得られた、前記伝送線路を通過前の波形と通過後の波形とを比較し、両波形の差が最小あるいは所定のしきい値以下となる、前記1個以上の方波発生器で発生される各方形波パルスのパルス幅と振幅とを求める、前記求めたパルス幅及び振幅を前記レジスタに記憶させる演算回路とをさらに有することを特徴とするドライバ回路。

【請求項4】 請求項2または3において、前記1個以上の方波発生器のそれぞれは、2つの入力の差分を増幅する差動増幅回路と、前記レジスタに記憶されたパルス幅に関する情報に従い、前記差動増幅回路の1方の入力を遅延する遅延回路と、前記レジスタに記憶された振幅に関する情報に従い、前記差動増幅回路の駆動電流の電流値を変化させる電流源回路とを有することを特徴とするドライバ回路。

【請求項5】 伝送線路を通して伝送すべき信号を発生する信号発生器と、前記伝送すべき信号の波形のうち、前記伝送線路での損失により減衰する部分に対応して設定された、三角波パ

ルスのパルス幅と振幅とを記憶するレジスタと、前記レジスタに記憶されたパルス幅と振幅とを持つ三角波パルスを、前記信号発生器の出力波形の立上り時及び立下り時の少なくとも一方で発生する、1個以上の三角波発生器と、前記信号発生器の出力波形と前記1個以上の三角波発生器の出力波形とを加算する加算器と、前記加算器の出力を増幅して、前記伝送線路へ出力する増幅回路とを有することを特徴とするドライバ回路。

【請求項6】 請求項5において、前記信号発生器の出力に前記三角波パルスを加えない状態で得られる前記増幅回路からの出力波形と、当該出力波形が前記伝送線路を通過した後の波形とを取得する波形取得手段と、前記波形取得手段で得られた、前記伝送線路を通過前の波形と通過後の波形とを比較し、両波形の差が最小あるいは所定のしきい値以下となる、前記1個以上の三角波発生器で発生される各三角波パルスのパルス幅と振幅とを求める、前記求めたパルス幅及び振幅を前記レジスタに記憶させる演算回路とをさらに有することを特徴とするドライバ回路。

【請求項7】 請求項5または6において、前記1個以上の三角波発生器のそれぞれは、2つの入力の差分を増幅する差動増幅回路と、前記差動増幅回路の入力の少なくとも一方に接続した容量と、前記レジスタに記憶された振幅に関する情報に従い、前記容量を充電するパルスの振幅を変化させるパルス発生回路と、

【請求項8】 請求項1～7のいずれかに記載のドライバ回路を、1つの集積回路上に構成したことを特徴とする伝送線路補償手段を有するドライバIC。

【請求項9】 タイミング発生器と、パターン発生器と、前記タイミング発生器で作成されたタイミング信号と前記パターン発生器で作成されたテストパターンとを合成する波形フォーマッタと、前記波形フォーマッタの信号を増幅するドライバと、前記ドライバから出力した試験波形を被試験素子へ与える伝送線路と、前記試験波形の応答としての前記被試験素子からの出力信号を前記伝送線路を通し入力して電圧比較するアナログコンパレータと、前記アナログコンパレータの出力と前記パターン発生器で作成された期待値とを前記タイミング発生器からの信号の示す時刻に論理比較試験するデジタルコンパレータとからなる半導体試験装置において、前記ドライバは、請求項1～7のいずれかに記載のドライバ回路、あるいは請求項8記載のドライバICである

ことを特徴とする半導体試験装置。

【請求項10】伝送線路を通してデータの送信を行う送信手段を有する装置において、前記送信手段は、請求項1～7のいずれかに記載のドライバ回路、あるいは請求項8記載のドライバICを有することを特徴とする送信手段を有する装置。

【請求項11】伝送線路を通して伝送する信号の波形のうちの前記伝送線路での損失により減衰する部分を補う、予め定めたパルス幅及び振幅を持つ1以上の方形波パルスを、前記伝送する信号波形の、高レベルから低レベルへ、及び、低レベルから高レベルへの切り替えと同じタイミングで、前記伝送する信号波形に加算することを特徴とする伝送線路損失補償方法。

【請求項12】伝送線路を通して伝送する信号の波形のうちの前記伝送線路での損失により減衰する部分を補う、予め定めたパルス幅及び振幅を持つ1以上の三角波パルスを、前記伝送する信号波形の、高レベルから低レベルへ、及び、低レベルから高レベルへの切り替えと同じタイミングで、前記伝送する信号波形に加算することを特徴とする伝送線路損失補償方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送線路を用いて信号の伝送を行うドライバ回路を含むシステムに係り、特に、伝送線路での損失を補償することが可能なドライバ回路に関する。

【0002】

【従来の技術】従来、伝送線路での損失補償は、コイルまたは容量で構成したフィルタ回路を用いて、増幅回路の周波数特性が伝送線路の損失特性の逆となるように調整して行っていた。例えば、実開平5-87750号公報で開示されているように、ピーキングコイルを用いて高い周波数での増幅率を上げることにより、伝送線路の損失により減衰する高周波成分の補償を行っている。

【0003】

【発明が解決しようとする課題】かかる従来の損失補償手段を備えたドライバ回路においては、コイルまたは容量で構成したフィルタ回路を用いるために、1つの伝送線路の損失に合わせてドライバ回路の周波数特性を調整すると、そのドライバ回路を別の伝送線路に用いることが困難であった。また、フィルタ回路にコイルを用いる場合には、ドライバ回路の集積回路化が難しいという課題があった。

【0004】本発明の目的は、任意の伝送線路に容易に対応可能なドライバ回路および伝送線路の損失補償方法を提供することにある。

【0005】さらに、本発明は、コイルを備えたフィルタ回路を用いない、集積回路化に適しているドライバ回路および伝送線路の損失補償方法を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的は、伝送すべき信号を増幅して伝送線路へ出力するドライバ回路において、所定の波形形状を備えるパルスのパルス幅と振幅とを記憶する記憶手段と、前記記憶手段に記憶されているパルス幅と振幅とを持つパルスを、前記伝送すべき信号の立ち上り時及び立ち下り時に発生する、1個以上のパルス発生手段と、前記伝送すべき信号と、前記1個以上のパルス波発生器から出力されるパルスとを加算する加算手段と、前記加算器の出力を増幅する増幅手段とを有することを特徴とするドライバ回路により達成できる。

【0007】前記ドライバ回路のパルス発生手段で発生する所定の波形形状のパルスとしては、例えば方形波パルスまたは三角波パルスを用いる。

【0008】

【作用】本発明のドライバ回路においては、伝送すべき信号の波形のうち、伝送線路での損失により高周波成分が減衰する、立ち上がりおよび立ち下がりの部分を補うために、予め定められたパルス幅及び振幅を持つ方形波または三角波等の波形形状の1以上のパルスを、前記信号波形の高レベル(Hi)と低レベル(Low)との切り替えと同期して、前記信号波形に加算する。

【0009】本発明において、記憶手段は、使用する伝送線路の損失特性に応じて予め設定された、前記信号波形に加算する1以上のパルスのパルス幅及び振幅を記憶する。また、1個以上のパルス発生手段は、記憶手段に記憶される前記パルス幅及び振幅に応じて、発生するパルスのパルス幅及び振幅を変える。したがって、記憶手段に記憶するデータを変えることにより、任意の伝送線路に対して損失補償を行なうことができる。

【0010】さらに、本発明のドライバ回路は、従来の伝送線路の損失補償を行なうドライバ回路のように、コイルを備えたフィルタ回路を使用しないため、集積回路化に適している。

【0011】

【実施例】以下、本発明を適用した伝送線路損失の補償手段を有するドライバ回路の実施例を図を参照して説明する。

【0012】本発明による伝送線路損失の補償手段を有するドライバ回路の一実施例を、図1～図3を参照して説明する。

【0013】本実施例のドライバ回路8は、例えば図1に示すように、伝送線路9を介して伝送すべき信号を発生させる信号発生器1と、伝送線路9での損失補償のために用いる方形波パルスのパルス幅データ及び振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ及び振幅データに従い方形波を発生させる方形波発生器3、4、5…とを有する。

【0014】本実施例は、さらに、信号発生器1の出力1aと、方形波発生器3の出力3aと、方形波発生器4

の出力4aと、方形波発生器5の出力5a…とを加算する加算器6、及び加算器6の出力6aを増幅する増幅回路7を有する。

【0015】本実施例のドライバ回路8により行なわれる、伝送線路損失の補償方法について、図2、図3の波形図に基づいて説明する。なお、以下では、伝送すべき信号がデジタル信号であり、方形波発生器が3個の場合について説明する。

【0016】波形10(図2(a))は、信号発生器1で発生される信号の一部の立ち上がり時における波形を示すものである。伝送線路の損失補償を行なわないドライバ回路の場合には、このような波形10を備えた信号をそのまま、増幅回路7を介して伝送線路9へ供給する。

【0017】すると、伝送線路9での表皮効果等の損失のために、立ち上がり部分の高周波成分が減衰され、伝送線路端9aでは、波形11(図2(b))のように、波形が鈍る。このような伝送線路損失は、伝送する信号の周波数が高ければ高いほど顕著なものとなり、例えば、100MHz以上の信号では、50cm程度の伝送線路9でも、表皮効果等による損失が大きくなる。

【0018】本実施例では、例えば100MHz以上の周数帯で50cm以上の伝送線路9、または、より低い周波数帯では、数m以上の伝送線路9での損失を補償するため、図2(c)に示すように、波形10と波形11との差分の大きさ及び形状に対応する、パルス幅及び振幅を備えた方形波12、方形波13、及び方形波14を、伝送すべき波形(以下では元の波形と呼ぶ)10に加算する。

【0019】ここで、方形波12、13、14のそれぞれのパルス幅及び振幅は、例えばこれら3つの方形波を元の波形10に加算して形成される波形と、波形11との差が、最小あるいは予め定めたしきい値以下となるよう決定する。また、本実施例で扱っている伝送線路での損失の特性を考慮すると、図2(c)に示すように、各方形波のパルス幅及び振幅を、互いに異なるように決定することで、波形11との差をより小さくすることができる。

【0020】すなわち、増幅回路7の出力7aの波形を、波形15(図2(d)の太線部分)のように、予め求められている、互いに異なるパルス幅及び振幅をそれぞれ備えた、方形波12、方形波13および方形波14を、元の波形10に、当該波形の高レベル(Hi)及び低レベル(Low)への切り替えと同じタイミングで加算した波形とする。

【0021】上記のように形成された波形15は、伝送線路9に供給され、伝送線路9で損失を受けると、図2(e)に示すような波形16となる。

【0022】したがって、本実施例によれば、伝送線路での損失補償がされない場合の、伝送線路端9aでの波

形11と比較して、より元の波形10に近い波形16を得ることができ、伝送線路損失を補償することが可能となる。

【0023】以上では、図2に示すような信号の立ち上がり時の波形について説明したが、図3(a)～(e)に示すように、信号の立ち下がり時にも、全く同じような事が言える。ここで、信号の立ち下がり時における本実施例の作用の説明は、上記の立上り時の場合と同様であり、省略する。なお、図3では、図2と同様に、10は元の波形、11は伝送線路9での損失を受けた波形、15は本実施例でのドライバ回路8の出力波形、及び16は波形15が伝送線路9により損失を受けた場合の波形を、それぞれ示している。

【0024】本実施例のドライバ回路8では、上述したように元の波形10と、ある特定の伝送線路9での損失を受けた波形11との差分に対応するように(図2(c)及び図3(c)参照)、各方形波のパルス幅及び振幅を予めデータとして求めておき、レジスタ2に格納する。

【0025】さらに、レジスタ2に格納したパルス幅データや振幅データに従って、方形波発生器3、方形波発生器4および方形波発生器5により、方形波3a、方形波4aおよび方形波5aを生成し、加算器6により信号発生器5の出力5aと加算し、加算器の出力6aを増幅回路7により増幅することで、波形15を得る。

【0026】ここで、本実施例における方形波発生器は、発生する方形波のパルス幅と振幅とを可変とするものである。このため、伝送線路9を変える場合には、新たに使用する伝送線路での損失に応じてレジスタ2に格納するデータを変えるか、または、予め複数種類の伝送線路に対応するデータをレジスタ2に格納しておき、その時点より適切なデータを選択して用いる構成とする。

【0027】本実施例によれば、任意の伝送線路に対して損失補償を行うことができる。さらに、本実施例によれば、コイルを用いたフィルター回路を用いることなく損失補償を実現することができるため、本実施例のドライバ回路の集積回路化が可能となる。さらに、本実施例のドライバ回路を集積回路化により、本実施例のドライバ回路の小型化、低価格化を図ることが容易に可能となる。

【0028】本実施例では、方形波発生器の個数を3としたが、方形波発生器の個数は1個以上の任意の数をとることができる。方形波発生器の個数を増やすに従い、伝送線路端9aの補償後の波形16を、元の波形10により近づけることが可能となる。

【0029】また、本実施例では、方形波発生器は、レジスタ2に格納されたパルス幅データ及び振幅データに応じた方形波を発生することが可能な構成としたが、この代わりに、方形波発生器で可変とできるのはパルス幅

及び振幅のうちのどちらか一方だけとし、他方は固定とする構成としてもよい。例えば、振幅を固定とする場合は、各方形波発生器での振幅値を同一とする。このような構成によれば、パルス幅データまたは振幅データのうちの固定としたデータを格納するための記憶領域を、レジスタ2から省略することが可能となる。

【0030】また、本実施例では、増幅回路7を用いたが、加算器6が伝送線路9をドライブ可能な場合には、増幅回路7を省略することができる。

【0031】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を、図4、図5を参照して説明する。本実施例のドライバ回路8は、伝送線路の損失補償に必要な方形波のパルス幅及び振幅を求める構成を有するものである。

【0032】本実施例のドライバ回路8は、図4に示すように、上記図1の実施例と同じ構成として、信号発生器1と、方形波パルスのパルス幅データ及び振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ及び振幅データに従い方形波を発生させる方形波発生器3、4、5…と、信号発生器1の出力1a、方形波発生器3の出力3a、方形波発生器4の出力4a、及び方形波発生器5の出力5a…を加算する加算器6と、加算器6の出力6aを増幅する増幅回路7とを有する。

【0033】なお、本実施例において、上記図1の実施例と共に構成については、同じ符号を付し、その説明を省略する。

【0034】本実施例のドライバ回路8は、上記構成に加え、さらに、レジスタ2に格納されるパルス幅及び振幅を求める構成として、増幅回路7の出力端7aでの波形をデジタル化するデジタイジング装置17と、デジタイジング装置17により得られた波形に基づいて、方形波12、方形波13、方形波14…のパルス幅と振幅とを求める演算装置18とを有する。

【0035】演算装置18は、増幅回路7の出力端7aで検出する、伝送線路9を通り伝送線路端9aで反射され戻ってくる波形のデジタルデータに基づいて、伝送線路端9aでの波形11を求め、さらに、伝送線路損失の補償を行う前の増幅回路7の出力波形10と求めた波形11とを比較して(図2及び図3参照)、両波形10、11の差が最小あるいは予め定めたしきい値以下となるように、方形波12、方形波13、方形波14…のパルス幅と振幅とをそれぞれ求める。

【0036】本実施例のドライバ回路8での処理動作のうち、損失補償のための各方形波のパルス幅及び振幅を求める処理手順の一例である、補償値測定処理について、図5のフローチャートを用いて説明する。なお、本処理は、本実施例のドライバ回路8に接続する伝送線路9の伝送線路端9aを短絡、オープンのいずれかの状態で実行するものである。

【0037】本処理では、最初、ユーザなどにより入力される、伝送線路端9aが短絡しているか、オープンしているかの設定を受け入れた後(ステップ501)、伝送線路の損失補償を行わずに、すなわち信号発生器1からの信号(図2又は図3参照)を、そのまま伝送線路9に供給するように、ドライバ回路8を動作させる(ステップ502)。より具体的には、加算器6を制御して、この時点での方形波の加算を禁止するか、または、方形波発生器3、4、5を制御して、方形波を発生させないようにする。

【0038】次に、デジタイジング装置17により、伝送線路損失の補償を行なわない場合の増幅回路7の出力波形(以下では波形10と呼ぶ)と、当該波形10が伝送線路9を通り、短絡又はオープンとなっている伝送線路端9aで反射されて戻ってくる反射波をデジタル化する(ステップ503)。ここで、波形10と、波形10の反射波が重なっている場合(ステップ504でYe's)、両波形の分離処理を演算装置18で行う(ステップ505)。

【0039】次に、伝送線路端9aが短絡していると設定されている場合には(ステップ506でYe's)、伝送線路端9aでの反射の際に波形10が反転するため、演算装置18で波形10の反射波を反転する(ステップ507)。さらに、演算装置18により、波形10と波形10の反射波との差をとり、それを1/2にして、波形10と伝送線路端9aでの波形11との差Aを求める(ステップ508)。

【0040】次に、この波形10と波形11との差Aの波形と、方形波12、方形波13および方形波14を加算してできる波形との差が、最小あるいは予め定めたしきい値以下となる、各方形波のパルス幅と振幅とを演算装置18により求め(ステップ509)、求めた各方形波のパルス幅及び振幅をレジスタ2に書き込む(ステップ510)。

【0041】本実施例によれば、任意の伝送線路に対して、その損失補償に必要な方形波パルスのパルス幅及び振幅を求めることが可能となる。

【0042】本実施例では、波形10が伝送線路9を通り損失を受けた場合の波形11を、波形10の反射波の波形を用いて演算装置18により求めたが、本発明で波形11の求める手段はこれに限定されるものではない。例えば、デジタイジング装置17をもう一つ、伝送線路端9aに設けて、直接、波形11を検出してデジタル化し、そのデータを演算装置18に転送する構成としてもかまわない。このような場合には、伝送線路端9aを短絡またはオープンにする必要がなくなる。

【0043】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を、図6、図7を参照して説明する。本実施例のドライバ回路は、上記図1の実施例のドライバ回路において、方形波の代わりに三角波

を用いるものである。

【0044】本実施例のドライバ回路8は、例えば図6に示すように、信号発生器1と、伝送線路9での損失補償のために用いる三角波パルスのパルス幅データ及び振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ及び振幅データに従って三角波を生成する三角波発生器19、20…と、信号発生器1の出力1a、三角波発生器19の出力19a、及び三角波発生器20の出力20a…を加算する加算器6と、加算器6の出力6aを増幅する增幅回路7とを有する。

【0045】本実施例のドライバ回路8による、伝送線路損失の補償方法について、図7の波形図に基づいて説明する。なお、以下の説明では、三角波発生器が2個の場合について説明する。なお、図7(c)、(d)は、発生された三角波パルスが加算された結果を示している。

【0046】波形10(図7(a))は、伝送線路損失の補償を行なわない場合の增幅回路7の出力である。波形10は、伝送線路9での表皮効果等の損失により、伝送線路端9aで波形11(図7(b))のように鈍る。この波形11に、当該信号波形のHi及びLow状態への切り替えと同じタイミングで、異なるパルス幅、振幅をもつ、三角波21および三角波22を、図7(c)に示すように加算すると、元の波形10に近づくことが分かる。

【0047】すなわち、増幅回路7の出力波形を、図7(d)に示すように、波形10に三角波21および三角波22を加算して形成される波形15とすることにより、伝送線路端9aでも、波形10に似た波形16(図7(e))を得ることが可能となる。したがって、伝送線路損失を補償することができる。

【0048】本実施例のドライバ回路8では、上述したように元の波形10と、伝送線路9での損失を受けた波形11との差分の大きさ及び形状に対応するよう(図7(c)参照)、各三角波のパルス幅及び振幅を予めデータとして求めておき、レジスタ2に格納する。

【0049】さらに、レジスタ2に格納したパルス幅データ及び振幅データに従って三角波発生器19および三角波発生器20により、三角波19aおよび三角波20aを生成し、加算器6により信号発生器5の出力5aと加算し、加算器の出力6aを増幅回路7により増幅することで波形16を得る。

【0050】ここで、本実施例における三角波発生器は、発生する三角波のパルス幅と振幅とを可変とすることが出るものである。このため、伝送線路を変える場合には、新たに使用する伝送線路での損失に応じてレジスタ2に格納するデータを変えるか、または、予め複数種類の伝送線路に対応するデータをレジスタ2に格納しておき、その時点できり適切なデータを選択して用いる構成とする。

【0051】本実施例によれば、任意の伝送線路に対して損失補償を行うことができるのに加え、コイルを用いたフィルター回路を用いることなく損失補償を実現することができるため、本実施例のドライバ回路の集積回路化が可能となる。さらに、ドライバ回路の集積回路化により、本実施例のドライバ回路の小型化、低価格化を図ることが容易に可能となる。

【0052】さらに、本実施例は、三角波パルスを用いるため、方形波パルスを用いる場合に比較して、より少ないパルスの個数で、より適切に波形10と波形11との差分を埋めることができるとなる。このため、本実施例は、上記図1の実施例に示されたドライバ回路に用いられる方形波発生器の個数に比べ、より少ない個数の三角波発生器で、同品質の伝送線路損失補償を行うことができる。

【0053】本実施例では、三角波発生器の個数を2としたが、三角波発生器の個数は1個以上の任意の数をとることができる。三角波発生器の個数を増やすに従い、伝送線路端9aの補償後の波形16を、波形10により近づけることが可能となる。

【0054】また、本実施例では、三角波発生器が、発生する三角波のパルス幅及び振幅を可変とする構成としたが、この代わりに、三角波発生器のパルス幅または振幅のどちらか一方を固定とする構成としてもよい。例えば、振幅を固定する場合は、各三角波発生器の振幅値を同一とする。このような構成によれば、パルス幅データまたは振幅データのうちの、固定としたデータを格納するための記憶領域を、レジスタ2から省略することが可能となる。

【0055】また、本実施例では、増幅回路7を用いたが、加算器6が伝送線路をドライブ可能な場合、増幅回路7を省略することができる。

【0056】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を、図8を参照して説明する。本実施例のドライバ回路8は、伝送線路の損失補償に必要な三角波のパルス幅及び振幅を求める構成を有するもので、上記図4の実施例において、方形波の代わりに三角波を用いたものである。

【0057】本実施例のドライバ回路8は、図8に示すように、信号発生器1と、三角波パルスのパルス幅データ及び振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ及び振幅データに従って三角波を生成する三角波発生器19、20…と、信号発生器1の出力1a、三角波発生器19の出力19a、及び三角波発生器20の出力20a…を加算する加算器6と、加算器6の出力6aを増幅する増幅回路7とを有する。

【0058】本実施例のドライバ回路8は、さらに、伝送線路の損失補償に必要な三角波パルスのパルス幅及び振幅を求める構成として、増幅回路7の出力端7aでの波形をデジタル化するデジタイジング装置17と、デジ

タル化した増幅回路7の出力端7aでの波形に基づいて、伝送線路端9aでの波形11を求め、伝送線路損失の補償を行なわない場合増幅回路7の出力波形10と波形11とを比較して(図7参照)、波形10と波形11との差が最小あるいは予め定めたしきい値以下となる三角波21、22のパルス幅と振幅とを求める演算装置18とを有する。

【0059】本実施例のドライバ回路8での、損失補償のための三角波パルスのパルス幅及び振幅を求める処理としては、例えば、上記図4の実施例の補償値測定処理(図5参照)において、方形波パルスの代わりに三角波パルスを用いる処理を使用するものである。本処理は、上記補償値測定処理と同様に、伝送線路端9aを短絡またはオーブンにしておいた状態で実行する。

【0060】すなわち、本処理では、最初、伝送線路の損失補償を行わずにドライバ回路8を動作させて、デジタル化装置17により、伝送線路損失の補償を行なわない場合の増幅回路7の出力波形10と、波形10の伝送線路端9aでの反射波とを検出してデジタル化する。ここで、波形10と、波形10の反射波とが重なっている場合、その分離処理を演算装置18で行う。また、伝送線路端9aを短絡している場合は、演算装置18で波形10の反射波を反転する。

【0061】さらに、演算装置18により、波形10と波形10の反射波との差をとり、それを1/2にして、波形10と伝送線路端9aでの波形11との差を求める。この波形10と波形11との差の波形と、三角波21および三角波22を加算して形成される波形との差が、最小あるいは予め定めたしきい値以下となる、各三角波のパルス幅と振幅とを演算装置18により求め、求めた各三角波のパルス幅及び振幅をレジスタ2に書き込む。

【0062】本実施例によれば、任意の伝送線路に対して、その損失補償に必要な三角波パルスのパルス幅及び振幅を求めることが可能となる。

【0063】本実施例では、三角波発生器の個数を2としたが、三角波発生器の個数は1個以上の任意の数をとることができる。

【0064】また、本実施例では、波形11を、波形10の反射波に基づいて、演算装置18により求めたが、デジタル化装置をもう一つ伝送線路端9aに設けて、直接、波形11を検出してデジタル化し、そのデータを演算装置18に転送する構成としてもかまわない。この場合、伝送線路端9aを短絡またはオーブンにする必要はない。

【0065】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を、図9、図10を用いて説明する。

【0066】本実施例では、上記図1の実施例のような方形波を用いるドライバ回路での方形波発生器の具体的

構成の一例を示す。なお、以下の説明では、信号発生器から発生される信号波形の立ち下がり時(図3参照)の伝送線路損失を、2個の方形波発生器から発生する方形波パルスを用いて補償する場合を、例にとって説明する。

【0067】本実施例のドライバ回路は、図9に示すように、信号発生器1と、方形波パルスのパルス幅データ及び振幅データを格納するレジスタ2と、レジスタ2に格納したパルス幅データ及び振幅データに従って方形波パルスを発生する方形波発生器3、4と、信号発生器1の出力1a、方形波発生器3の出力3a、及び方形波発生器4の出力4aを加算する加算器6と、加算器6の出力6aを増幅する増幅回路7とを有する。

【0068】加算器6及び方形波発生器3、4は、コレクタに接続する抵抗を共有する差動増幅回路をそれぞれ有する。

【0069】方形波発生器3は、方形波発生器3に含まれる差動増幅回路の一方の入力へ入力する、信号発生器1の出力1aを、レジスタ2に格納したパルス幅データに従って遅延する可変遅延回路23と、当該差動増幅器に流れる電流の電流値を、レジスタ2に格納した振幅データに従って変化する可変電流源25とを有する。

【0070】方形波発生器4は、方形波発生器3と同様に、方形波発生器4に含まれる差動増幅回路の一方の入力へ入力する、信号発生器1の出力1aを、レジスタ2に格納したパルス幅データに従って遅延する可変遅延回路24と、当該差動増幅器に流れる電流の電流値を、レジスタ2に格納した振幅データに従って変化する可変電流源26とを有する。

【0071】本実施例のドライバ回路の動作を、図10に基づいて説明する。なお、図10は、本ドライバ回路の信号発生器1の出力1a、1b、方形波発生器3、4の可変遅延回路の出力23a、24a、及び加算器6の出力6aにおける電圧の時間変化を示すと共に、方形波発生器3、4の出力3a、4aでの電流の時間変化を示す波形図である。また、図10において、t1は信号波形の立ち下がりの開始タイミングを示し、t2、t3は、レジスタ2に格納されている、方形波発生器3、4で発生する方形波のパルス幅のそれぞれに対応するタイミングである。

【0072】時間t1以前では、方形波発生器3の出力3aには電流源25の電流の1/2が流れ、方形波発生器4の出力4aには電流源26の電流の1/2が流れ。したがって、加算器6の出力6aは、図中6dでの電圧から、コレクタ抵抗6bを流れる電流源25の電流の1/2及び電流源26の電流の1/2の和による電圧降下を減じた電圧となる。

【0073】時間t1で、信号波形の立ち下がりに対応して、信号発生器1の出力1aが、所定の低レベル(Low)から高レベル(Hi)に変化すると、方形波発生

器3の出力3aには電流源25の電流が流れ、方形波発生器4の出力4aには電流源26の電流が流れる。したがって、加算器6の出力6aは、電圧6dから、コレクタ抵抗6bを流れる電流源6cの電流、電流源25の電流、及び電流源26の電流の和による、電圧降下を減じた電圧となる。

【0074】時間t2で、損失補償のために発生した2つの方形波パルスのうちの一方である方形波発生器3で発生する方形波パルスの終了に対応して、遅延回路23の出力23aがLowからHiに変化すると、方形波発生器3の出力3aには電流源25の電流の1/2が流れ、方形波発生器4の出力4aには電流源26の電流が流れる。したがって、加算器6の出力6aは、電圧6dから、コレクタ抵抗6bを流れる電流源6cの電流、電流源25の電流の1/2、及び電流源26の電流の和による電圧降下を減じた電圧となる。

【0075】時間t3で、方形波発生器4で発生する方形波パルスの終了に対応して、遅延回路24の出力24aがLowからHiに変化すると、方形波発生器3の出力3aには電流源25の電流の1/2が流れ、方形波発生器4の出力4aには電流源26の1/2の電流が流れる。したがって、加算器6の出力6aは、電圧6dから、コレクタ抵抗6cを流れる電流源6cの電流および電流源21の電流の1/2および電流源21の電流の1/2の和による電圧降下を減じた電圧となる。

【0076】よって、加算器6の出力6aでは、方形波発生器3、4の電流源25、26及び可変遅延回路23、24により制御されたパルス幅及び振幅を持つ方形波パルスを用いて、信号発生器1から出力される信号波形の立ち下がり部分に対して、伝送線路での損失補償を行った波形(図3(d)参照)が形成される。

【0077】本実施例によれば、方形波のパルス幅は可変遅延回路の遅延量によって、また方形波の振幅は電流源の電流量によって可変する事ができるので、レジスタ2に格納するデータを変えることにより、任意の伝送線路に対して損失補償を行うことができる。

【0078】本実施例では、信号発生器1から発生される信号波形の立ち下がり部分に対して損失補償を行なった場合を例にとって説明したが、本実施例の構成によれば、上記と全く同様に、信号波形の立ち上がり部分(図2参照)に対しても、伝送線路の損失補償を行なうことができる。また、方形波発生器の個数を2としたが、方形波発生器の個数は1個以上の任意の数をとることができる。

【0079】また、本実施例では、方形波発生器の遅延回路及び電流源の両方を可変としたが、どちらか一方を固定としてもよい。例えば、電流源を固定とする場合には、各方形波発生器の電流源の電流値を同一とする。このように一方を固定とすると、パルス幅データ及び振幅データのうち、固定とした方に対応するデータを格納す

るための記憶領域を、レジスタ2から省略することが可能となる。

【0080】また、本実施例において、加算器6のコレクタ抵抗6bを、伝送線路9の特性インピーダンスZoと等しくした場合、増幅回路7を省略することができる。

【0081】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を、図11、図12を用いて説明する。

【0082】本実施例では、三角波を用いるドライバ回路での三角波発生器の具体的構成の一例を示す。なお、以下の説明では、1個の三角波発生器を用いて、信号発生器から発生される信号波形の立ち下がり時の損失補償を行なう場合を、例にとって説明する。

【0083】本実施例のドライバ回路は、図11に示すように、信号発生器1と、三角波のパルス幅データ及び振幅データを格納するレジスタ2と、三角波パルスを発生する三角波発生器19と、信号発生器1の出力1aと三角波発生器19の出力19aとを加算する加算器6と、加算器6の出力6aを増幅する増幅回路7とを有する。

【0084】加算器6及び三角波発生器19は、コレクタに接続する抵抗を共有する差動増幅回路をそれぞれ有する。

【0085】三角波発生器19は、三角波発生器19に含まれる差動増幅回路の入力に接続する容量19e、19iと、信号発生器1の出力1aの立ち上がり時にレジスタ2に格納した振幅データに従ったパルスを発生して、当該立ち上り時に容量19eを充電するパルス発生器19bと、信号発生器1の出力1aの立ち下がり時にレジスタ2に格納した振幅データに従ったパルスを発生して、当該立ち下がり時に容量19iを充電するパルス発生器19gとを有する。

【0086】三角波発生器19は、さらに、充電された容量19eの電荷を徐々に吸い出す可変電流源19cと、充電された容量19gの電荷を徐々に吸い出す可変電流源19hとを有する。

【0087】可変電流源19c、19hは、レジスタ2に格納されたパルス幅データに従って電流値を可変するもので、この電流値によって容量19e、19iに蓄積された電荷の吸い出す速さを変えることにより、パルス幅を調整するものである。

【0088】本実施例のドライバ回路の動作を、図12に基づいて説明する。なお、図12は、本ドライバ回路の信号発生器1の出力1a、1b、三角波発生器19の電圧源19bの出力、及び加算器6の出力6aにおける電圧の時間変化を示すと共に、三角波発生器19の出力19aでの電流の時間変化を示す波形図である。また、図12において、t1は信号波形の立ち下がりの開始タイミングを示し、t2は、三角波発生器19で発生する

三角波が終了するタイミングを示す。

【0089】時間 t_1 以前、三角波発生器 19 の出力 19 a には、電流源 19 d により設定された電流値 I_1 の $1/2$ の電流が流れる。したがって、加算器 6 の出力 6 a は、図中の 6 d での電圧から、コレクタ抵抗 6 b を流れる電流源 19 d の電流値 I_1 の $1/2$ による電圧降下を減じた電圧となる。

【0090】時間 t_1 で、信号波形の立ち下がりに対応して、信号発生器 1 の出力 1 a が Low から High に変化すると、パルス発生器 19 b により発生する、レジスタ 2 に格納された振幅データに応じて設定された振幅を持つパルスにより、容量 19 e が充電され、三角波発生器 19 の出力 19 a には、電流値 I_2 の電流が流れる。したがって、加算器 6 の出力 6 a は、電圧 6 d から、コレクタ抵抗 6 b を流れる、電流源 6 c の電流と電流値 I_2 の電流との和による、電圧降下を減じた電圧となる。

【0091】時間 $t_1 \sim t_2$ は、損失補償のために発生された三角波パルスの傾斜部分に対応する。すなわち、三角波発生器 19 の電流源 19 c によって、時間 t_1 で充電された容量 19 e の電荷が徐々に吸い出されて、三角波発生器 19 の出力 19 a に流れる電流値は少なくなっていく。したがって、加算器 6 の出力 6 a の電圧は徐々に上がっていく。

【0092】時間 t_2 以降、三角波発生器 19 の出力 19 a には電流値 I_1 の $1/2$ の電流が流れる。したがって、加算器 6 の出力 6 a は、電圧 6 d から、コレクタ抵抗 6 b を流れる、電流源 6 c の電流及び電流値 I_1 の $1/2$ の電流の和による、電圧降下を減じた電圧となる。

【0093】よって、加算器 6 の出力 6 a では、三角波発生器 19 の可変電流源 19 c により制御されるパルス幅、及びパルス発生器 19 b により制御される振幅を備えた三角波パルスを用いて、信号発生器 1 から出力される信号波形の立ち下がり部分に対して、伝送線路での損失補償を行った波形が形成される。

【0094】本実施例によれば、三角波のパルス幅は電流源 19 c によって、また三角波の振幅はパルス発生器 19 b によって可変する事ができる。このため、レジスタ 2 に格納するデータを変えるだけで、任意の伝送線路に対して損失補償を行うことができる。

【0095】本実施例では、信号発生器 1 から発生される信号波形の立ち下がり部分に対して損失補償を行なった場合を例にとって説明したが、本実施例の構成において、信号波形の立ち上がりに対応して、信号発生器 1 の出力 1 a の立ち下がりと同時にパルス発生器 19 g によりパルスを発生することにより、上記と同様に、立ち上がり波形に対して損失補償を行うことができる。また、三角波発生器の個数を 1 としたが、三角波発生器の個数は 1 個以上の任意の数をとることができる。

【0096】また、本実施例では、三角波発生器のパルス幅及び振幅の両方を可変としたが、どちらかを一方を

固定としてもよい。例えば振幅を固定とする場合には、各三角波発生器の振幅値を同一とする。このように、一方を固定とする場合には、パルス幅データ及び振幅データのうち、固定として方に対応するデータを格納する記憶領域を、レジスタ 2 から省略することが可能となる。

【0097】また、本実施例において、加算器 6 のコレクタ抵抗 6 b を、伝送線路 9 の特性インピーダンス Z_0 と等しくした場合、增幅回路 7 を省略することができる。

【0098】本発明による伝送線路損失の補償手段を有するドライバ回路を用いたドライバ IC の一実施例を、図 13 を用いて説明する。本実施例のドライバ IC に含まれるドライバ回路は、基本的には、上記図 1 の実施例のドライバ回路と同じ構成である。上記図 1 の実施例と同じ構成については、上記図 1 の実施例と同じ符号を用い、その説明を省略する。

【0099】本実施例のドライバ IC 27 は、図 13 に示すように、信号発生器 1 と、信号発生器 1 にタイミングやパターン等の情報を与える 1 個以上の端子 27 b と、方形波パルスのパルス幅データ及び振幅データを格納するレジスタ 2 と、レジスタ 2 に格納するパルス幅及び振幅に関する情報を入力する端子 27 c と、端子 27 c に入力されたシリアルデータをパラレルデータに変換してレジスタ 2 の各記憶領域にパルス幅データ、振幅データを与えるシリアル・パラレル変換器 26 とを有する。

【0100】本実施例は、さらに、レジスタ 2 に格納したパルス幅データ、振幅データに従って方形波を生成する方形波発生器 3、4、5 … と、信号発生器 1 の出力 1 a、方形波発生器 3 の出力 3 a、方形波発生器 4 の出力 4 a、及び方形波発生器 5 の出力 5 a … を加算する加算器 6 と、加算器 6 の出力 6 a を増幅する増幅回路 7 と、増幅回路 7 の出力を伝送線路に与える端子 27 a とを有する。

【0101】本実施例によれば、コイルを備えたフィルタ回路を用いない、上記図 1 のドライバ回路を、1 チップ上に集積化することができる。さらに、ドライバ回路を 1 チップ上に集積化できるため、当該ドライバ回路あるいは当該ドライバ回路を備える電子機器装置の小型化及び低価格化が可能となる。

【0102】本実施例では、レジスタ 2 と端子 27 c との間にシリアル・パラレル変換器 26 を設けたが、端子数を増やし、直接、レジスタ 2 の各記憶領域に、パルス幅データや振幅データを格納させる構成としても良い。

【0103】また、本実施例では、ドライバ IC 27 のドライバ回路として、上記図 1 の実施例のドライバ回路の構成を用いたが、代わりに、上述した他の実施例のドライバ回路（図 4、図 6、図 8、図 9、及び図 11 参照）の構成を用いてもよい。なお、上記図 4、図 8 のドライバ回路は、方形波または三角波のパルス幅及び振幅

を求める手段を有しているので、これらの回路構成を用いる場合には、外部からパルス幅や振幅データを受け入れるための端子27cを省略した構成とすることができます。

【0104】本発明による伝送線路損失の補償手段を有するドライバ回路またはドライバICを用いた半導体試験装置の一実施例を、図14を用いて説明する。

【0105】本実施例の半導体試験装置37は、図14に示すように、タイミング発生器29と、パターン発生器30と、波形フォーマッタ31と、デジタルコンパレータ32と、伝送線路損失の補償手段を有するドライバ回路8またはドライバIC27と、アナログコンパレータ33と、被試験素子34を当該半導体試験装置37に電気的に接続するための伝送線9とを有する。

【0106】本実施例では、ドライバ回路8としては、上述した実施例のいずれのドライバ回路（図1、図4、図6、図8、図9、及び図11参照）でも用いることができる。また、ドライバIC27としては、上記図13の実施例のドライバIC27を用いることができる。

【0107】なお、ドライバ回路8として、上記図4、図8に示すドライバ回路を用いる場合には、そのドライバ回路8に含まれるデジタイジング装置17として、アナログコンパレータ33を用いることができる。

【0108】本実施例では、タイミング発生器29で作成されたタイミング信号29aとパターン発生器30で作成されたテストパターン30aとが、波形フォーマッタ31で合成され、その出力が、ドライバ回路8によって試験波形8aとして伝送線9を通して、被試験素子34へ与えられる。

【0109】この試験波形8aの応答としての、被試験素子34からの出力信号34aは、アナログコンパレータ33で電圧変換され、“0”、“1”的デジタル値に変換される。このデジタル変換後の被試験素子34からの応答信号は、デジタルコンパレータ32により、パターン発生器30で作成した良品素子の応答である期待値30bとの間で、タイミング信号29bの示す時刻に、比較試験が行なわれ、その良否等が判断される。

【0110】本実施例によれば、本発明によるドライバ回路8またはドライバIC27を用いているため、試験波形8aを伝送線路9を通して被試験素子34へ送る際に、伝送線路9での損失を補償することが可能となる。

【0111】さらに、本実施例によれば、伝送線路9での損失を補償できるため、従来の半導体試験装置に比べ、使用する伝送線路9の長さが同じであれば、より高周波数の試験波形8aを被試験素子34に与えることが可能となり、試験波形8aのタイミング精度を向上させることができるとなる。また、従来の半導体試験装置と同じ試験周波数、同じタイミング速度を使用する場合であれば、伝送線路9の長さを長くすることが可能となり、半導体試験装置の構成配置の自由度、あるいは操作にお

ける自由度を向上させることができる。

【0112】本発明による伝送線路損失の補償手段を有するドライバ回路またはドライバICを用い、伝送線路を通してデータの送信を行う送信装置の一実施例を、図15を用いて説明する。

【0113】本実施例の送信装置35は、例えば図15に示すように、伝送線路損失の補償手段を有するドライバ回路8またはドライバIC27を備え、例えば100MHz以上の周波数のデータを50cm以上の伝送線路9を通して、受信装置36に信号を伝達する。

【0114】本実施例において、送信装置35、受信装置36とは、伝送線路9を通してデータ等の信号の送信、受信を行なう装置を指し、より具体的には、伝送装置、コンピュータおよびコンピュータ周辺機器、ネットワーク機器、計測器等から構成される装置を指す。

【0115】本実施例においては、伝送線路損失の補償手段を有する、上述した実施例のいずれかのドライバ回路8（図1、図4、図6、図8、図9、及び図11参照）を、ドライバ回路8として用いることができる。また、ドライバICとしては、上記図10の実施例のドライバIC27を用いることができる。

【0116】本実施例によれば、伝送線路9の損失を補償することが可能となるため、従来の伝送装置、コンピュータ、コンピュータ周辺機器、ネットワーク機器、計測器等から構成される送信装置35に比べ、伝送線路9の長さが同じであれば、より高い周波数の信号波形8aを受信装置36に伝達することが可能となる。また、同じ送信周波数であれば、伝送線路9の長さを長くすることが可能となり、伝送装置、コンピュータ、コンピュータ周辺機器、ネットワーク機器、計測器等から構成される、送信装置35、受信装置36の構成、配置の自由度を向上させることができる。

【0117】本実施例では、データの周波数を100MHz以上、伝送線路9の長さを50cm以上としたが、これらの条件は単なる一例である。一般的に言って、このような条件では、従来の装置構成において、伝送線路での表皮効果による損失が顕著となり始めるが、本実施例によれば、上述の各実施例でも述べたように、伝送線路での損失を補償することが可能となる。

【0118】

【発明の効果】本発明によれば、任意の伝送線路において、伝送線路での損失を補償をすることができると共に、集積回路化に適しているドライバ回路及び伝送線路の損失補償方法を提供することができる。

【0119】

【図面の簡単な説明】

【図1】本発明による伝送線路損失の補償手段を有するドライバ回路の一実施例の構成を示す回路図。

【図2】図2(a)：伝送線路の損失補償を行なわない場合のドライバ回路からの出力波形10を示す波形図。

図2 (b) : 波形10が伝送線路を通過した後の波形11を示す波形図。

図2 (c) : 波形10と波形11との差に対応する方形波を示す説明図。

図2 (d) : 図1の実施例によるドライバ回路からの、損失補償が行なわれた場合の出力波形15を示す波形図。

図2 (e) : 波形15が伝送線路を通過した後の波形16を示す波形図。

【図3】図3 (a) : 伝送線路の損失補償を行なわない場合のドライバ回路からの出力波形10を示す波形図。

図3 (b) : 波形10が伝送線路を通過した後の波形11を示す波形図。

図3 (c) : 波形10と波形11との差に対応する方形波を示す説明図。

図3 (d) : 図1の実施例によるドライバ回路からの、損失補償が行なわれた場合の出力波形15を示す波形図。

図3 (e) : 波形15が伝送線路を通過した後の波形16を示す波形図。

【図4】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を示す回路図。

【図5】図4の実施例における損失補償値測定処理手順の一例を示すフローチャート。

【図6】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を示す回路図。

【図7】図7 (a) : 伝送線路の損失補償が行なわれない場合のドライバ回路からの出力波形10を示す波形図。

図7 (b) : 波形10が伝送線路を通過した後の波形11を示す波形図。

図7 (c) : 波形10と波形11との差に対応する方形波を示す説明図。

図7 (d) : 図1の実施例によるドライバ回路からの、損失補償が行なわれた場合の出力波形15を示す波形図。

図7 (e) : 波形15が伝送線路を通過した後の波形16を示す波形図。

【図8】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を示す回路図。

【図9】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を示す回路図。

【図10】図9の実施例のドライバ回路の作用を説明するための波形図。

【図11】本発明による伝送線路損失の補償手段を有するドライバ回路の他の実施例を示す回路図。

【図12】図11の実施例のドライバ回路の作用を説明するための波形図。

【図13】本発明による伝送線路損失の補償手段を有するドライバ回路を用いたドライバICの一実施例を示す回路図。

【図14】本発明による伝送線路損失の補償手段を有するドライバ回路またはドライバICを用いた半導体試験装置の一実施例を示す回路図。

【図15】本発明による伝送線路損失の補償手段を有するドライバ回路またはドライバICを用いた、伝送線路を通してデータの送信を行う、伝送装置、コンピュータおよびコンピュータ周辺機器、ネットワーク機器、計測器等から構成される送信装置の一実施例を示す回路図。

【符号の説明】

1 …信号発生器

2 …レジスタ

3、4、5 …方形波発生器

6 …加算器

7 …増幅回路

8 …ドライバ回路

9 …伝送線路

10 …損失補償を行わないときのドライバ出力端でのドライバの出力波形

11 …損失補償を行わないときの伝送線路端でのドライバの出力波形

12、13、14 …方形波

15 …損失補償を行ったときのドライバ出力端でのドライバの出力波形

16 …損失補償を行ったときの伝送線路端でのドライバの出力波形

17 …デジタイジング装置

18 …演算装置

19、20 …三角波発生器

21、22 …三角波

23、24 …可変遅延回路

25、26 …可変電流源

27 …ドライバIC

28 …シリアル・パラレル変換器

29 …タイミング発生器

30 …パターン発生器

31 …波形フォーマッタ

32 …デジタルコンパレータ

33 …アナログコンパレータ

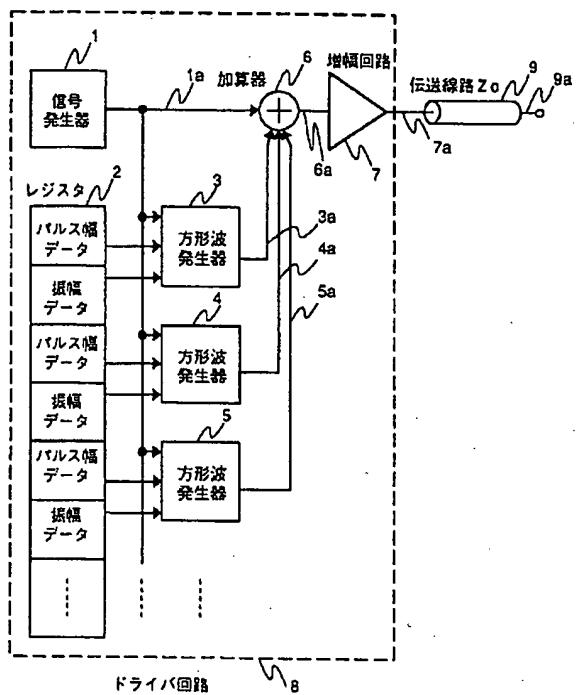
34 …被試験素子

35 …送信装置

36 …受信装置

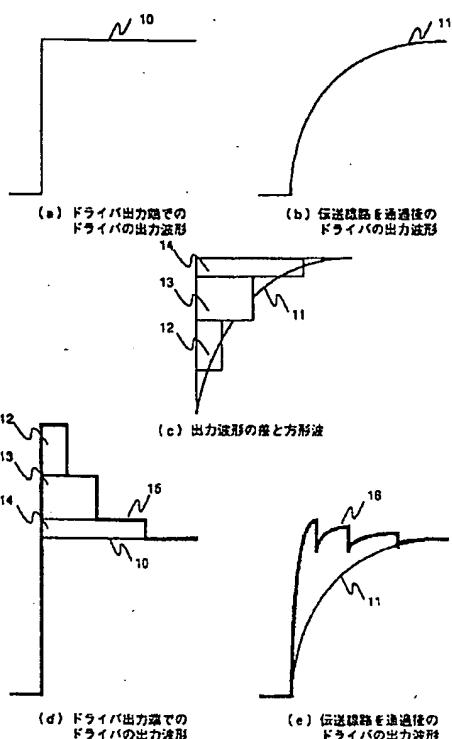
【図1】

図1



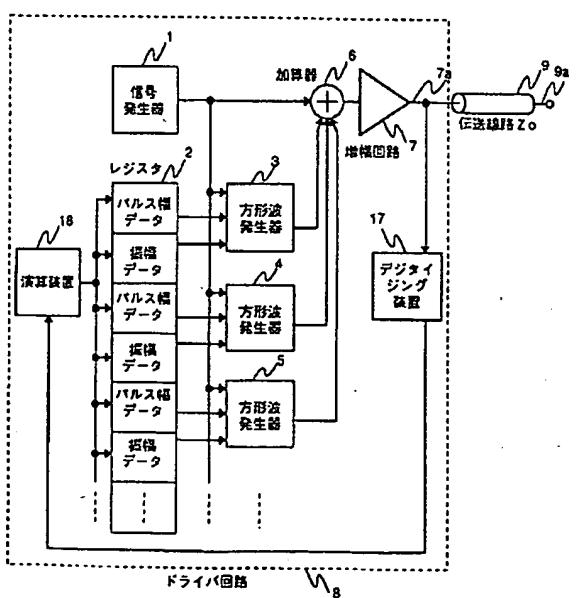
【図2】

図2

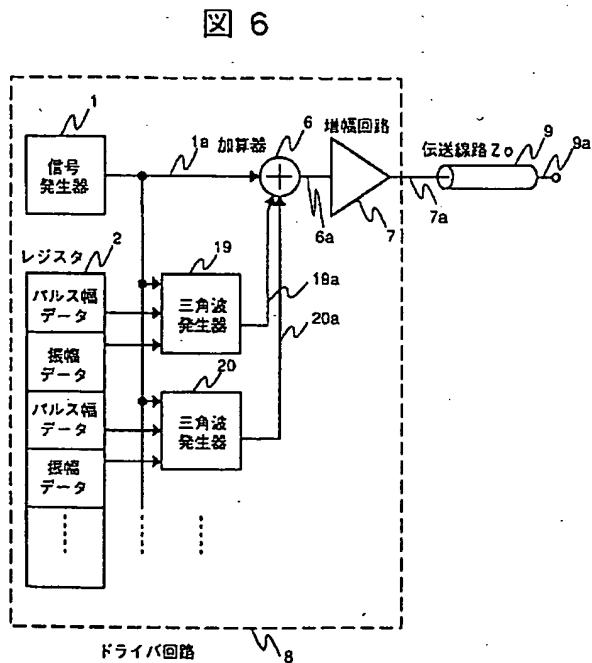


【図4】

図4

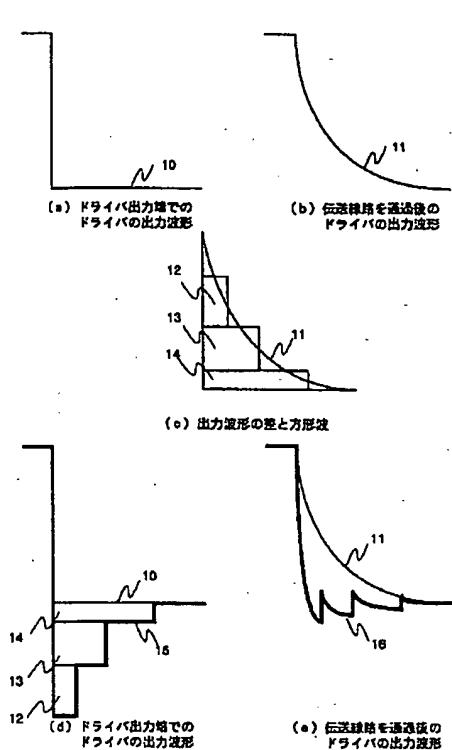


【図6】



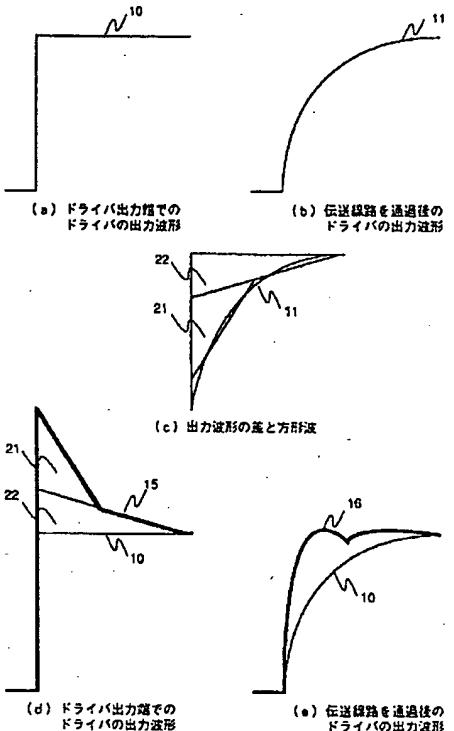
【図3】

図3



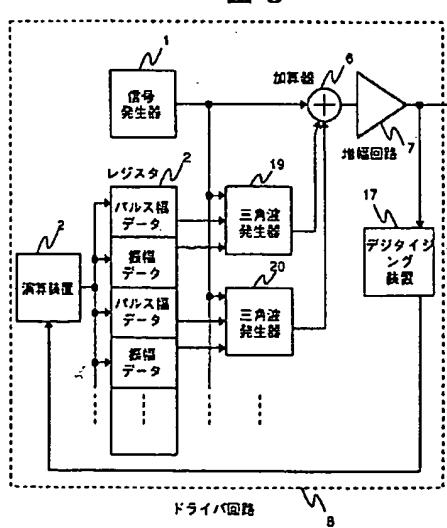
【図7】

図7



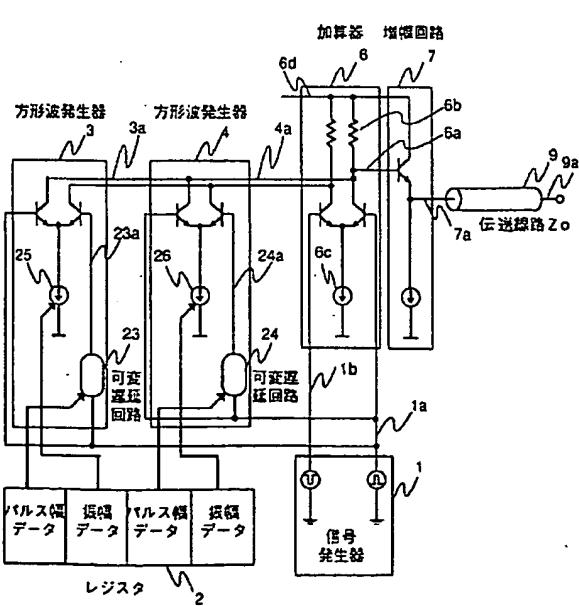
【図8】

図8



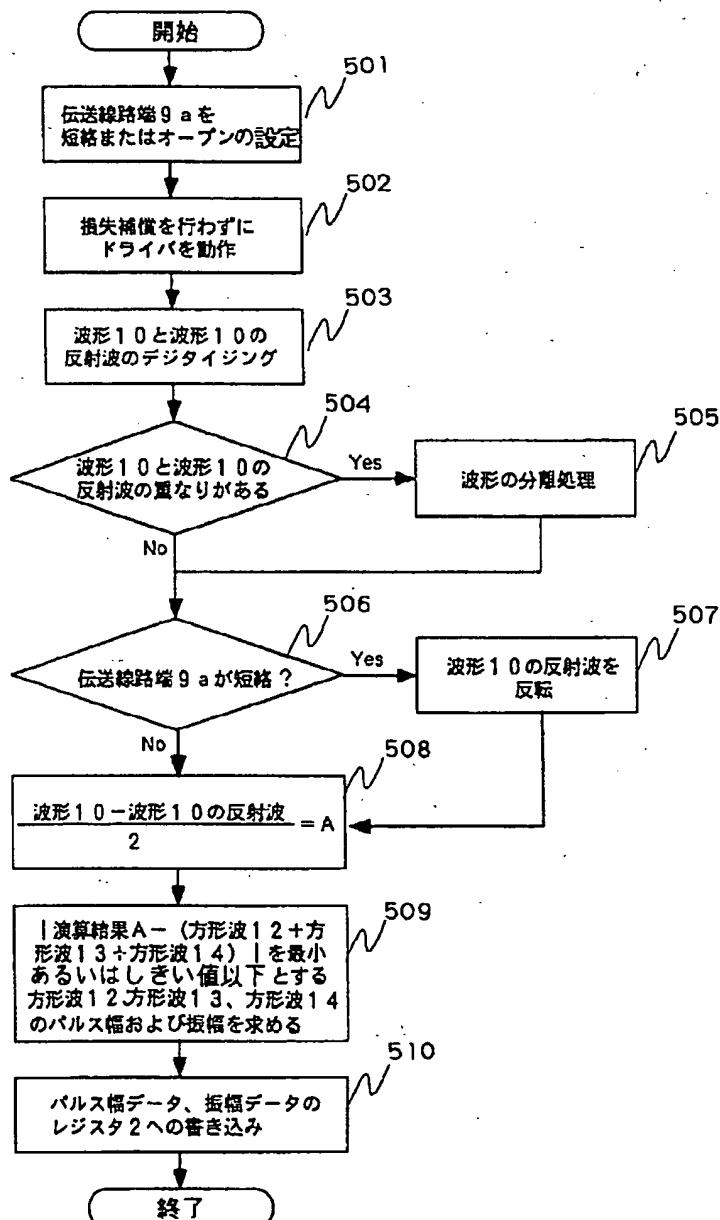
【図9】

図9



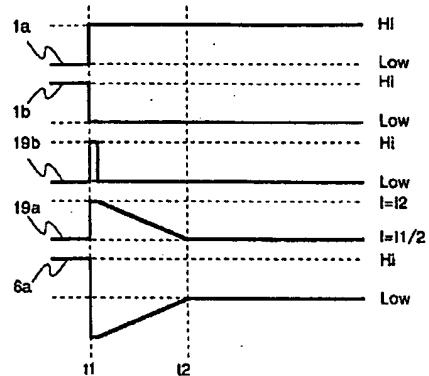
【図5】

図5



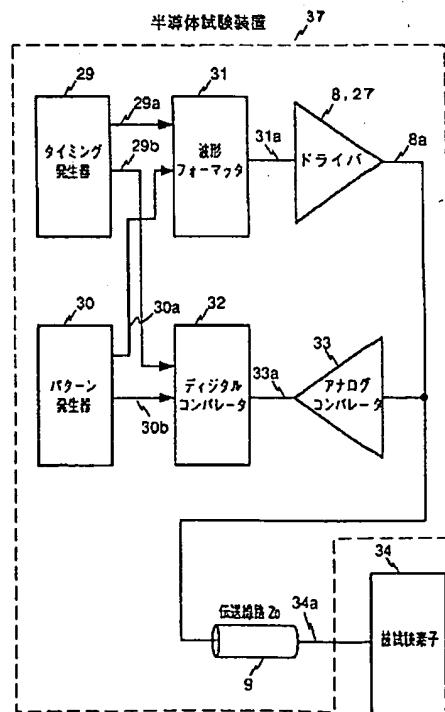
【図12】

図12



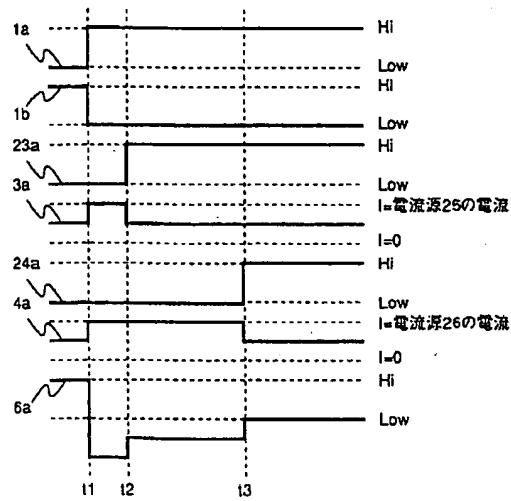
【図14】

図14



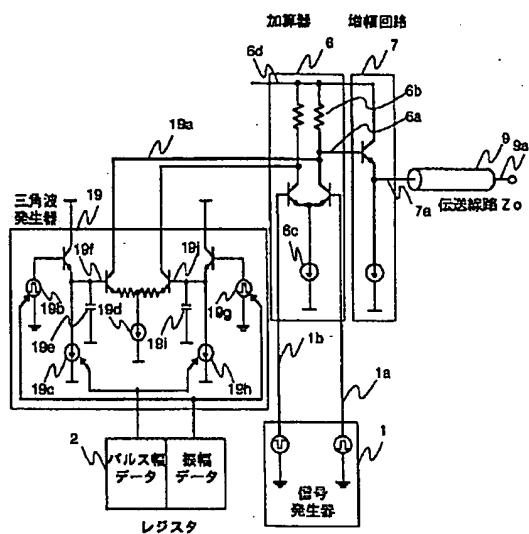
【図10】

図10



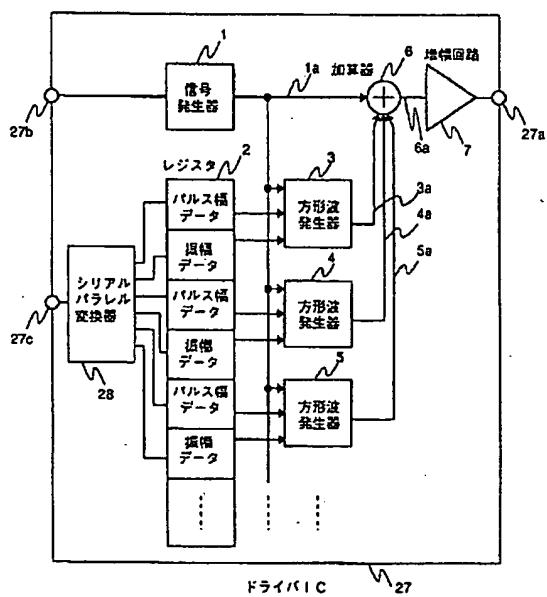
【図11】

図11



【図13】

図13



【図15】

図15

